

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

TECHNICAL PROBLEM

[Problem(s) to be Solved by the Invention] As described above, the formation method of the conventional Cu embedding wiring had the problem that originated in the CuO layer formed in the front face of Cu embedding wiring from after formation of Cu embedding wiring before membrane formation of the P-SiN film for Cu surface protections, and a poor blister occurred after the time of membrane formation of a consecutive P-SiN film, or membrane formation.

[0012] It was made that this invention should solve the above-mentioned trouble, and aims at offering the manufacture method of the semiconductor device which can prevent generating with a poor blister after [which formed the insulator layer containing silicon on the metal wiring which makes Cu a principal component] forming membranes at the time.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

PRIOR ART

[Description of the Prior Art] Conventionally, on the occasion of manufacture of a semiconductor device, the metal wiring which makes Cu a principal component may be embedded at the insulator layer formed on the semiconductor wafer.

[0003] Drawing 2 (a) or (c) shows the wafer cross section in a part of formation process of the conventional Cu embedding wiring.

[0004] First, it is SiO₂ of a TEOS system as a protective layer of the element as shown in drawing 2 (a), after forming basic elements (not shown), such as a transistor, and diode, capacity, on Si substrate (not shown). It is the above SiO₂ about the contact hole (not shown) for securing a flow with an element, after forming a film 11 and carrying out flattening of this by the CMP method. It forms in a film 11.

[0005] Next, it corresponds to the pattern of the embedding wiring which it is going to form, and is the above SiO₂. Patterning of the film 11 is carried out and the wiring slot 12 is formed. Next, after forming Cu for embedding wiring on the whole surface by the spatter, by carrying out melt (melting) of this and carrying out polish removal of the Cu film of an excessive part by the CMP method succeedingly, Cu is made to remain only in desired wiring Mizouchi, and Cu embedding wiring 13 is formed.

[0006]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the art before [which embeds and forms P-SiN as a Cu surface-protection film on the occasion of formation of wiring] being formed with the metal which is applied to the manufacture method of a semiconductor device, especially makes Cu a principal component.

[0002]

[Description of the Prior Art] Conventionally, on the occasion of manufacture of a semiconductor device, the metal wiring which makes Cu a principal component may be embedded at the insulator layer formed on the semiconductor wafer.

[0003] Drawing 2 (a) or (c) shows the wafer cross section in a part of formation process of the conventional Cu embedding wiring.

[0004] First, it is SiO₂ of a TEOS system as a protective layer of the element as shown in drawing 2 (a), after forming basic elements (not shown), such as a transistor, and diode, capacity, on Si substrate (not shown). It is the above SiO₂ about the contact hole (not shown) for securing a flow with an element, after forming a film 11 and carrying out flattening of this by the CMP method. It forms in a film 11.

[0005] Next, it corresponds to the pattern of the embedding wiring which it is going to form, and is the above SiO₂. Patterning of the film 11 is carried out and the wiring slot 12 is formed. Next, after forming Cu for embedding wiring on the whole surface by the spatter, by carrying out melt (melting) of this and carrying out polish removal of the Cu film of an excessive part by the CMP method succeeding, Cu is made to remain only in desired wiring Mizouchi, and Cu embedding wiring 13 is formed.

[0006] Next, O₂ of consecutiveness As it is shown in drawing 2 (c) as a Cu surface-protection film (and Cu diffusion prevention film) for preventing that the front face of the aforementioned Cu embedding wiring 13 oxidizes by the strong oxidizing atmosphere in a plasma process, the P-SiN film 15 is formed on the whole surface by the P-CVD (plasma vapor growth) method.

[0007] Although oxidization of the front face of Cu embedding wiring 13 advances by the weak oxidizing atmosphere in the after treatment of CMP, or air exposure from after formation of the aforementioned Cu embedding wiring 13 before membrane formation of the P-SiN film 15 and it is unstable the extent in fact, when extreme, as shown in drawing 2 (b), the CuO layer 14 will be formed in the front face of Cu embedding wiring.

[0008] However, this CuO layer 14 is an unstable oxidizing zone, and to Cu genuineness side (Cu embedding wiring 13) of a ground, its adhesion is bad and it tends to exfoliate easily by impression of heat.

[0009] If such a CuO layer 14 exists, it will be influenced by the heat (about 400 degrees C) in the membrane formation process of the P-SiN film 15 after Cu embedding wiring formation, and the stress of the P-SiN film itself, and as shown in 16 in drawing 2 (c), the phenomenon (a blister is poor) in which the CuO layer 14 and the P-SiN film 15 expand by a part of interface of the CuO layer 14 and Cu genuineness side, or it exfoliates will occur at the time immediately after membrane formation of the P-

SiN

[0010] Temporarily, even when an above-mentioned poor blister does not occur at the time immediately after membrane formation of the aforementioned P-SiN film 15, it becomes the cause which a poor blister generates at the time like a heat process with various consecutiveness (for example, the membrane formation process of the SiO₂ film between layers, the melt process of the upper Cu).

[0011]

[Problem(s) to be Solved by the Invention] As described above, the formation method of the conventional Cu embedding wiring had the problem that originated in the CuO layer formed in the front face of Cu embedding wiring from after formation of Cu embedding wiring before membrane formation of the P-SiN film for Cu surface protections, and a poor blister occurred after the time of membrane formation of a consecutive P-SiN film, or membrane formation.

[0012] It was made that this invention should solve the above-mentioned trouble, and aims at offering the manufacture method of the semiconductor device which can prevent generating with a poor blister after [which formed the insulator layer containing silicon on the metal wiring which makes Cu a principal component] forming membranes at the time.

[0013]

[Means for Solving the Problem] The process at which the manufacture method of the semiconductor device of this invention forms the metal wiring which makes Cu a principal component on a semiconductor wafer, Then, the 1st gas which does not contain silicon, including hydrogen or hydrogen, and nitrogen just before forming the insulator layer containing silicon on the aforementioned metal wiring, It is characterized by providing the process which exposes the front face of the aforementioned metal wiring to the plasma atmosphere in which induction was carried out by mixed gas with the 2nd gas which does not contain silicon, including nitrogen.

[0014]

[Embodiments of the Invention] Hereafter, with reference to a drawing, the gestalt of operation of this invention is explained in detail.

[0015] According to the XPS analysis by invention-in-this-application persons, it has become clear that a poor blister generates the generating factor with the poor blister of the conventional example depending on the oxidation state on the front face of Cu when the oxidation state on the front face of Cu is CuO, and a poor blister does not occur when the oxidation states on the front face of Cu are Cu (OH) 2, Cu₂ O, and CuON. Then, this invention is characterized by reforming so that a poor blister may not generate Cu front face by reduction or nitriding.

[0016] Drawing 1 (a) or (d) shows the wafer cross section in the main processes of the formation method of Cu embedding wiring concerning the 1st example of this invention.

[0017] First, it is SiO₂ of a TEOS system as a protective layer of the element as shown in drawing 1 (a), after forming basic elements (not shown), such as a transistor, and diode, capacity, on Si substrate (not shown). It is the above SiO₂ about the contact hole (not shown) for securing a flow with an element, after forming a film 21 and carrying out flattening of this by the CMP method. It forms in a film 21.

[0018] Next, it corresponds to the pattern of the embedding wiring which it is going to form, and is the above SiO₂. Patterning of the film 21 is carried out and the wiring slot 22 is formed. Next, after forming Cu for embedding wiring on the whole surface by the spatter, by carrying out melt (melting) of this and carrying out polish removal of the Cu film of an excessive part by the CMP method succeedingly, Cu is made to remain only in desired wiring Mizouchi, and Cu embedding wiring 23 is formed.

[0019] Next, O₂ of consecutiveness As it is shown in drawing 1 (d) as a Cu surface-protection film (and Cu diffusion prevention film) for preventing that the front face of the aforementioned Cu embedding wiring 23 oxidizes by the strong oxidizing atmosphere in a plasma process, the P-SiN film 26 is formed on the whole surface.

[0020] In this case, although oxidization of the front face of Cu embedding wiring 23 advances by the weak oxidizing atmosphere in the after treatment of CMP, or air exposure from after formation of the aforementioned Cu embedding wiring 23 before membrane formation of the P-SiN film 26 and it is unstable the extent in fact, when extreme, as shown in drawing 1 (b), the CuO layer 24 will be formed in

the front face of Cu embedding wiring 23 unescapable.

[0021] In order to prevent generating of the problem resulting from this CuO layer 24, in this invention, the CuO layer 24 is removed by exposing a wafer front face to the plasma atmosphere by which induction was carried out by special gas (for example, NH₃ gas +N₂ gas) after formation of Cu embedding wiring 23 (before membrane formation of the P-SiN film 26), as shown in drawing 1 (c).

[0022] The removal method of this CuO layer 24 is explained below.

[0023] the membrane formation equipment of the P-SiN film equipped with the P-CVD processing room of single wafer processing which has the parallel monotonous type electrode currently generally used in business in this example -- setting -- before membrane formation of the P-SiN film 26 -- the P-CVD processing interior of a room -- a wafer -- receiving -- the above -- the CuO layer 24 is removed by performing plasma treatment by special gas

[0024] That is, first, a wafer is laid in a cassette room, and it exhausts until the interior of a room is set to about 10 mT(s) (=10mx133.322mPa) with a vacuum pump. Next, it transports one wafer at a time to a P-CVD processing room (membrane formation room) by the carrier robot, and lays on the lower [a heater block-cum-] electrode heated at about 400 degrees C.

[0025] Next, it is NH₃ to the P-CVD processing interior of a room. It is gas 1000ccm(s) and N₂ Gas is introduced 1000 ccms, respectively. Then, two RF (RF) power (13.56MHz is 500W and 300kHz is 500W) is impressed. Moreover, the pressure of the P-CVD processing interior of a room is set to 2.2T. On this condition, plasma was generated and it maintained for 120 seconds.

[0026] in this case, the introduced gas -- RF power -- decomposition and dissociation -- carrying out -- N, H, NH, and NH₂ etc. -- ion and a radical are generated Since a reduction operation and N system have nitritization to the CuO layer 24 by which these reaction kinds were formed in the front face of the aforementioned Cu embedding wiring 23 in H system, CuO is reformed at Cu (OH)₂ and Cu (ON).

[0027] The above (OH) Cu₂ and the reforming layer 25 which consists of Cu (ON) are stable, and its adhesion is good to the P-SiN film 26 formed at Cu genuineness side (Cu embedding wiring 23) of a ground, or a consecutive process, and it does not exfoliate easily by impression of heat.

[0028] Next, introduction of the aforementioned gas is stopped, laying the aforementioned wafer in the aforementioned processing room (membrane formation room). Next, SiH₄ which is a type of gas required for membrane formation of the P-SiN film 26 Gas and NH₃ Gas and N₂ It corresponds, respectively and 3000ccm introduction of the gas is carried out 1900 ccm 2700 ccms. Then, two RF power (13.56MHz is 200W and 300kHz is 300W) is impressed. Moreover, the pressure of the processing interior of a room is set to 2.2T. On this condition, as shown in drawing 1 (d), 200nm of P-SiN films 26 was formed.

[0029] As a result of observing a wafer front face after the completion of membrane formation of this P-SiN film 26, no defect (a blister is poor) he some P-SiN films 26 expand, or exfoliates was generated, but the good result was obtained. Then, between [SiO₂] layers After giving like heat processes, such as melt of membranous membrane formation and the upper Cu, generating no poor blister was checked.

[0030] In addition, the above-mentioned example is NH₃ just before forming the P-SiN film 26 on Cu embedding wiring 23. Gas and N₂ Although the front face of Cu embedding wiring 23 was exposed to the plasma atmosphere in which induction was carried out by mixed gas with gas The 1st gas which does not contain silicon, including hydrogen (or hydrogen and nitrogen) just before forming the surface-protection insulator layers (a silicon oxidization nitride or silicon nitride) containing silicon on the metal wiring which makes Cu a principal component, An effect equivalent to the above-mentioned example is acquired by exposing the front face of the aforementioned metal wiring to the plasma atmosphere in which induction was carried out by mixed gas with the 2nd gas which does not contain silicon, including nitrogen.

[0031] In addition, as for the process which forms the insulator layer 26 containing silicon on the aforementioned metal wiring 23, it is desirable to carry out holding the atmosphere which intercepted oxygen atmosphere with the vacua of the processing interior of a room held which carried out the process which exposes the front face of metal wiring.

[0032]

[Effect of the Invention] As mentioned above, according to the manufacture method of the semiconductor device of this invention, the depressor effect with a poor blister after [which formed the insulator layer which contains silicon on the metal wiring which makes Cu a principal component] forming membranes at the time is greatest.

[Translation done.]

PAT-NO: JP02000269209A

DOCUMENT-IDENTIFIER: JP 2000269209 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: September 29, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
TOMITA, KENICHI	N/A
YAHIRO, KAZUYUKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP11068188

APPL-DATE: March 15, 1999

INT-CL (IPC): H01L021/318, H01L021/28 , H01L021/3205

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent blisters from being deposited in a P-SiN film, at or after the P-SiN film is deposited on a Cu embedded wiring.

SOLUTION: This manufacturing method comprises a first process, where a metal wiring 23 whose main component is Cu, is formed on a semiconductor wafer and a second process where the surface of the metal wiring 23 is exposed to a plasma atmosphere induced by a mixed gas of a first silicon-free gas, which contains hydrogen or hydrogen or/and nitrogen and a second silicon-free gas which contains nitrogen just before a silicon-containing insulating film 26 is deposited on the metal wiring 23.

COPYRIGHT: (C)2000,JPO

*Cu exposed to nitrogen
forming a Si-containing ins film*

(19) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(11) 出願公開番号
特開2000-269209
(P2000-269209A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) IntCl ⁷	識別記号	F I	テラコード (参考)
H 0 1 L	21/318	H 0 1 L 21/318	B 4 M 1 0 4
	21/28	21/28	K 5 F 0 3 3
	21/3205	21/88	K 5 F 0 5 8

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平11-68188

(22) 出願日 平成11年3月15日 (1999.3.15)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 富田 健一

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 八尋 和之

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

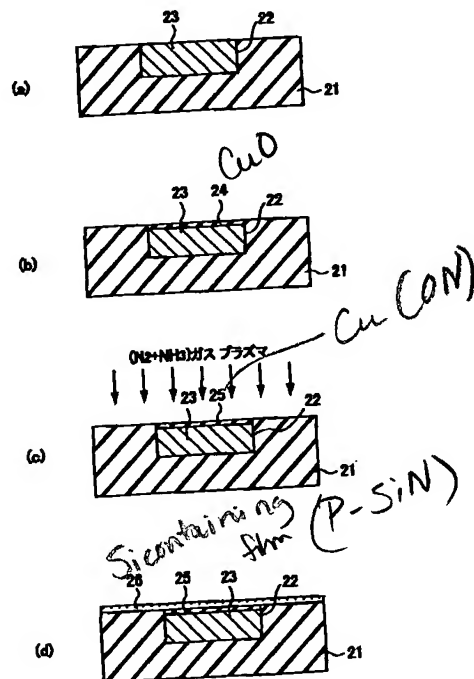
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 Cu埋め込み配線上へP-SiN膜を成膜した時あるいは成膜した後におけるブリスト不良の発生を防止する。

【解決手段】 半導体ウエハ上にCuを主成分とする金属配線23を形成する工程と、この後、金属配線23上にシリコンを含む絶縁膜26を成膜する直前に、水素または水素および窒素を含み、かつ、シリコンを含まない第1のガスと、窒素を含み、かつ、シリコンを含まない第2のガスとの混合ガスによって誘起されたプラズマ雰囲気に金属配線の表面を晒す工程とを具備する。



【特許請求の範囲】

【請求項1】 半導体ウエハ上にCuを主成分とする金属配線を形成する工程と、

この後、前記金属配線上にシリコンを含む絶縁膜を成膜する直前に、水素または水素および窒素を含み、かつ、シリコンを含まない第1のガスと、窒素を含み、かつ、シリコンを含まない第2のガスとの混合ガスによって誘起されたプラズマ雰囲気の前記金属配線の表面を晒す工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記プラズマ雰囲気に前記金属配線の表面を晒す工程の後、当該工程を実施した処理室内の真空状態を保持したまま、あるいは、酸素雰囲気を遮断した雰囲気を持続したまま、前記金属配線上にシリコンを含む絶縁膜を成膜することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記シリコンを含む絶縁膜は、シリコン酸化窒化膜あるいはシリコン窒化膜であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特にCuを主成分とする金属で形成された埋め込み配線の形成に際してCu表面保護膜としてP-SiNを形成する前の処理方法に関する。

【0002】

【従来の技術】従来、半導体装置の製造に際して、半導体ウエハ上に形成された絶縁膜にCuを主成分とする金属配線を埋め込む場合がある。

【0003】図2(a)乃至(c)は、従来のCu埋め込み配線の形成工程の一部におけるウエハ断面を示している。

【0004】まず、図2(a)に示すように、Si基板(図示せず)上にトランジスタやダイオード・容量等の基本素子(図示せず)を形成した後、素子の保護層としてTEOS系のSiO₂膜11を成膜し、これをCMP法で平坦化した後、素子との導通を確保するためのコンタクトホール(図示せず)を前記SiO₂膜11に形成する。

【0005】次に、形成しようとする埋め込み配線のパターンに対応して前記SiO₂膜11をパターニングして配線溝12を形成する。次に、埋め込み配線用のCuをスパッタ法により全面に成膜した後、これをメルト(溶融)させ、引き続き、余分な箇所のCu膜をCMP法で研磨除去することにより、所望の配線溝内だけにCuを残存させてCu埋め込み配線13を形成する。

【0006】次に、後続のO₂プラズマ工程での強い酸化雰囲気によって前記Cu埋め込み配線13の表面が酸化されることを防止するためのCu表面保護膜(およびCu拡散防止膜)として、図2(c)に示すように、P

-CVD(プラズマ気相成長)法によりP-SiN膜15を全面に成膜する。

【0007】実際には、前記Cu埋め込み配線13の形成後からP-SiN膜15の成膜までの間に、CMPの後処理での弱い酸化雰囲気や大気露出によってCu埋め込み配線13の表面の酸化が進行し、その程度は不安定であるが、極端な場合には図2(b)に示すようにCu埋め込み配線の表面にCuO層14が形成されてしまう。

10 【0008】しかし、このCuO層14は、不安定な酸化層であり、下地のCu真性面(Cu埋め込み配線13)に対して密着性が悪く、熱の印加によって容易に剥離され易い。

【0009】このようなCuO層14が存在すると、Cu埋め込み配線形成後のP-SiN膜15の成膜工程での熱(約400℃)やP-SiN膜自体の応力に影響され、P-SiN膜15の成膜直後の時点で、図2(c)中の16に示すように、CuO層14とCu真性面との界面の一部でCuO層14とP-SiN膜15が膨脹したり剥離する現象(ブリスタ不良)が発生する。

20 【0010】仮に、前記P-SiN膜15の成膜直後の時点で上記ブリスタ不良が発生しない場合でも、後続の様々な熱工程(例えば層間SiO₂膜の成膜工程、上層のCuのメルト工程)の時点でブリスタ不良が発生する原因となる。

【0011】

【発明が解決しようとする課題】上記したように従来のCu埋め込み配線の形成方法は、Cu埋め込み配線の形成後からCu表面保護用のP-SiN膜の成膜までの間にCu埋め込み配線の表面に形成されてしまうCuO層に起因して後続のP-SiN膜の成膜時あるいは成膜後にブリスタ不良が発生するという問題があった。

【0012】本発明は上記の問題点を解決すべくなされたもので、Cuを主成分とする金属配線上にシリコンを含む絶縁膜を成膜した時あるいは成膜した後におけるブリスタ不良の発生を防止し得る半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体ウエハ上にCuを主成分とする金属配線を形成する工程と、この後、前記金属配線上にシリコンを含む絶縁膜を成膜する直前に、水素または水素および窒素を含み、かつ、シリコンを含まない第1のガスと、窒素を含み、かつ、シリコンを含まない第2のガスとの混合ガスによって誘起されたプラズマ雰囲気に前記金属配線の表面を晒す工程とを具備することを特徴とする。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0015】本願発明者らによるXPS分析によれば、従来例のプリスタ不良の発生要因はCu表面の酸化状態に依存し、Cu表面の酸化状態がCuOの場合にプリスタ不良が発生し、Cu表面の酸化状態がCu(OH)₂、Cu₂O、CuONの場合にはプリスタ不良が発生しないことが判明している。そこで、本発明は、Cu表面を還元あるいは窒化によってプリスタ不良が発生しないように改質することを特徴とするものである。

【0016】図1(a)乃至(d)は、本発明の第1実施例に係るCu埋め込み配線の形成方法の主要な工程におけるウエハ断面を示している。

【0017】まず、図1(a)に示すように、Si基板(図示せず)上にトランジスタやダイオード・容量等の基本素子(図示せず)を形成した後、素子の保護層としてTEOS系のSiO₂膜21を成膜し、これをCMP法で平坦化した後、素子との導通を確保するためのコンタクトホール(図示せず)を前記SiO₂膜21に形成する。

【0018】次に、形成しようとする埋め込み配線のパターンに対応して前記SiO₂膜21をパターニングして配線溝22を形成する。次に、埋め込み配線用のCuをスパッタ法により全面に成膜した後、これをメルト(溶融)させ、引き続き、余分な箇所のCu膜をCMP法で研磨除去することにより、所望の配線溝内のみにCuを残存させてCu埋め込み配線23を形成する。

【0019】次に、後続のO₂プラズマ工程での強い酸化雰囲気によって前記Cu埋め込み配線23の表面が酸化されることを防止するためのCu表面保護膜(およびCu拡散防止膜)として、図1(d)に示すように、P-SiN膜26を全面に成膜する。

【0020】この場合、実際には、前記Cu埋め込み配線23の形成後からP-SiN膜26の成膜までの間に、CMPの後処理での弱い酸化雰囲気や大気露出によってCu埋め込み配線23の表面の酸化が進行し、その程度は不安定であるが、極端な場合には図1(b)に示すようにCu埋め込み配線23の表面にCuO層24が不可避的に形成されてしまう。

【0021】このCuO層24に起因する問題の発生を防止するために、本発明ではCu埋め込み配線23の形成後(P-SiN膜26の成膜前)に、図1(c)に示すようにウエハ表面を特殊なガス(例えばNH₃ガス+N₂ガス)により誘起されたプラズマ雰囲気に晒すことによってCuO層24を除去する。

【0022】このCuO層24の除去方法について、以下に説明する。

【0023】本実施例では、一般に商用的に使用されている平行平板型電極を有する枚葉式のP-CVD処理室を備えたP-SiN膜の成膜装置において、P-SiN膜26の成膜前にP-CVD処理室内でウエハに対して前記特殊なガスによるプラズマ処理を施すことによって

CuO層24を除去する。

【0024】即ち、まず、ウエハをカセット室に載置し、真空ポンプによって室内が約10mT(=10m×133.322mPa)になるまで排気する。次に、搬送ロボットによってウエハを1枚づつP-CVD処理室(成膜室)に移送し、約400℃に加熱されたヒーターブロック兼下部電極上に載置する。

【0025】次に、P-CVD処理室内に、NH₃ガスを1000ccm、N₂ガスを1000ccm、それぞれ導入する。続いて、2つのRF(高周波)電力(13.56MHzが500W、300KHzが500W)を印加する。また、P-CVD処理室内の圧力は2.2Tとする。この条件でプラズマを発生させ、120秒間維持した。

【0026】この場合、導入されたガスはRF電力により分解・解離し、N、H、NH、NH₂などのイオンやラジカルが生成される。これらの反応種は、前記Cu埋め込み配線23の表面に形成されていたCuO層24に対して、H系は還元作用、N系は窒化作用を有するので、CuOはCu(OH)₂、Cu(ON)に改質される。

【0027】上記Cu(OH)₂、Cu(ON)からなる改質層25は、安定であり、下地のCu真性面(Cu埋め込み配線23)や後続の工程で成膜されるP-SiN膜26に対して密着性が良好であり、熱の印加によって容易に剥離されることはない。

【0028】次に、前記ウエハを前記処理室(成膜室)内に載置したままで、前記ガスの導入を一旦停止する。次に、P-SiN膜26の成膜に必要なガス種であるSiH₄ガス、NH₃ガス、N₂ガスをそれぞれ対応して2700ccm、1900ccm、3000ccm導入する。続いて、2つのRF電力(13.56MHzが200W、300KHzが300W)を印加する。また、処理室内の圧力は2.2Tとする。この条件で、図1(d)に示すようにP-SiN膜26を200nm成膜した。

【0029】このP-SiN膜26の成膜完了後にウエハ表面を観察した結果、P-SiN膜26の一部が膨脹したり剥離する不良(プリスタ不良)は一切発生しておらず、良好な結果が得られた。引き続き、層間SiO₂膜の成膜、上層のCuのメルトなどの熱工程を施した後でも、プリスタ不良は一切発生しないことが確認された。

【0030】なお、上記実施例は、Cu埋め込み配線23上にP-SiN膜26を成膜する直前に、NH₃ガスとN₂ガスとの混合ガスによって誘起されたプラズマ雰囲気にCu埋め込み配線23の表面を晒したが、Cuを主成分とする金属配線上にシリコンを含む表面保護絶縁膜(シリコン酸化窒化膜あるいはシリコン窒化膜など)を成膜する直前に、水素(または水素および窒素)を含

(4)

5

み、かつ、シリコンを含まない第1のガスと、窒素を含み、かつ、シリコンを含まない第2のガスとの混合ガスによって誘起されたプラズマ雰囲気中に前記金属配線の表面を晒すことによって、上記実施例と同等の効果が得られる。

【0031】なお、前記金属配線23上にシリコンを含む絶縁膜26を成膜する工程は、金属配線の表面を晒す工程を実施した処理室内の真空状態を保持したまま、あるいは、酸素雰囲気を遮断した雰囲気保持したまま実施することが望ましい。

【0032】

【発明の効果】上述したように本発明の半導体装置の製造方法によれば、Cuを主成分とする金属配線にシリコンを含む絶縁膜を成膜した時あるいは成膜した後にお

けるプリスタ不良の抑制効果が絶大である。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るCu埋め込み配線の形成方法の主要な工程におけるウエハ断面を示す図。

【図2】従来のCu埋め込み配線の形成工程の一部におけるウエハ断面を示す図。

【符号の説明】

21...SiO₂膜、

22...配線溝、

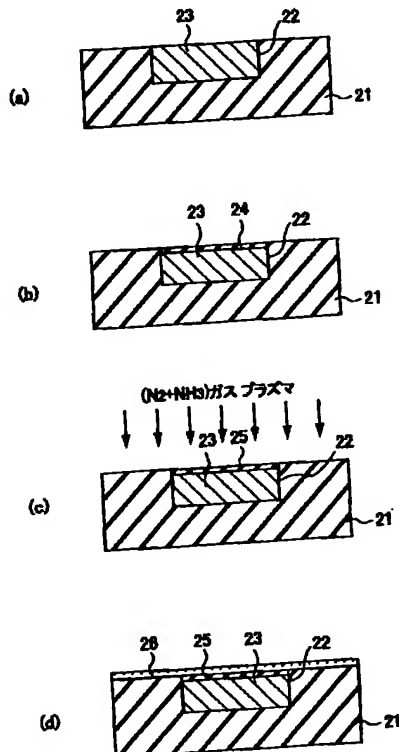
10 23...Cu埋め込み配線、

24...CuO層、

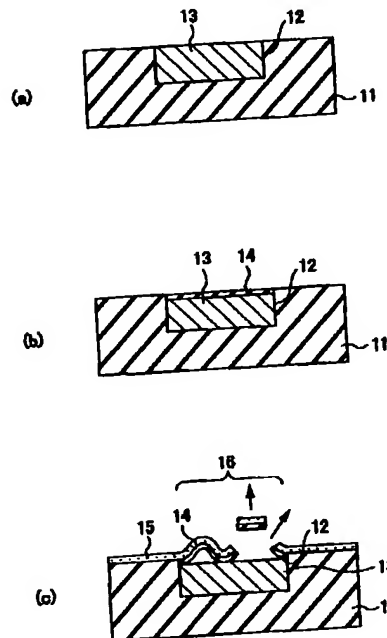
25...Cu(OH)₂、Cu(ON)からなる改質層、

26...P-SiN膜。

【図1】



【図2】



(5)

フロントページの続き

Fターム(参考) 4M104 BB04 DD16 DD23 DD37 DD64
DD75 DD78 DD86 EE06 EE12
EE14 EE17 GG13 HH09
5F033 HH11 MM01 MM15 PP15 QQ08
QQ09 QQ12 QQ15 QQ37 QQ48
QQ73 QQ75 QQ85 RR03 RR04
RR06 RR08 SS04 SS15 TT02
XX14 XX17
5F058 BA10 BC08 BC11 BE10 BF07
BF23 BF30 BJ02